

выход Y_i , номер k -рого задан адресными сигналами A_m, \dots, A_0 . Логика выбора адреса в демультимплексоре такая же, как и в мультимплексоре. Схему и условно-графич. обозначение демультимплексора на 4 выхода см. на рис. 8.

Компаратор — ОЭ, производящий сравнение двух чисел A и B . Результат сравнения отображается

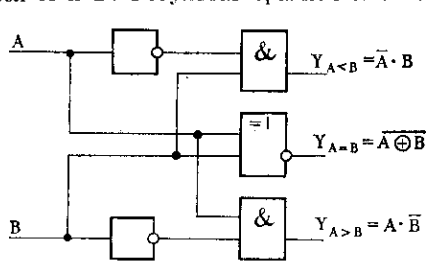


Рис. 9.

единичным логич. уровнем на одном из трёх выходов компаратора $Y_{A=B}$, $Y_{A < B}$, $Y_{A > B}$. Таблица истинности одноразрядного компаратора весьма проста (табл. 3). По ней легко составить логич. ф-ции

$$(Y_{A=B} = \overline{A \oplus B}, Y_{A < B} = \bar{A} \cdot B, Y_{A > B} = A \cdot \bar{B})$$

и схему данного устройства (рис. 9).

Сумматор — ОЭ, выполняющий операцию сложения неск. чисел. Двоичный сумматор является до-

Табл. 2

Входы (десятичное число X_i)	Выходы (двоичный код)			
	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

Табл. 4

Входы			Выходы	
слагаемые	перенос		сумма	перенос
A_i	B_i	P_{i-1}	S_i	P_i
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

Табл. 3

Входы		Выходы		
A	B	$Y_{A=B}$	$Y_{A < B}$	$Y_{A > B}$
0	0	1	0	0
0	1	0	1	0
1	0	0	0	1
1	1	1	0	0

статочно универсальным элементом и используется также при выполнении операций вычитания, умножения и деления. При сложении двух много-разрядных двоичных чисел в каждом i -м разряде находится сумма трёх чисел по модулю два (A_i , B_i) и переноса, посту-

пившего из младшего разряда — P_{i-1}), и формируется сигнал переноса в старший разряд — P_i . По таблице истинности одноразрядного сумматора (табл. 4) составляются логич. ф-ции для выходных величин:

$$S = (A_i \oplus B_i) \oplus P_{i-1} \text{ и } P_i = A_i \cdot B_i \vee A_i \cdot P_{i-1} \vee B_i \cdot P_{i-1}.$$

По этим ф-циям строят схему сумматора (рис. 10) на двух элементах СУММА ПО МОДУЛЮ 2, трёх элементах И и одном элементе ИЛИ. Для сложения много-разрядных чисел используют много-разрядные сумматоры, к-рые в простейшем случае получают последоват. соединением одноразрядных сумматоров (рис. 11).

Рассмотренный способ реализации разл. комбинац. схем на основе ЛЭ не является единственно возможным.

Для этих же целей можно использовать и постоянные запоминающие устройства (ПЗУ), в к-рых записаны необходимые таблицы истинности. При этом роль адреса, выбираемого из ПЗУ слова, будут играть входные сигналы (аргументы), а роль реализуемой логич. ф-ции — слово, записанное в ПЗУ по этому адресу.

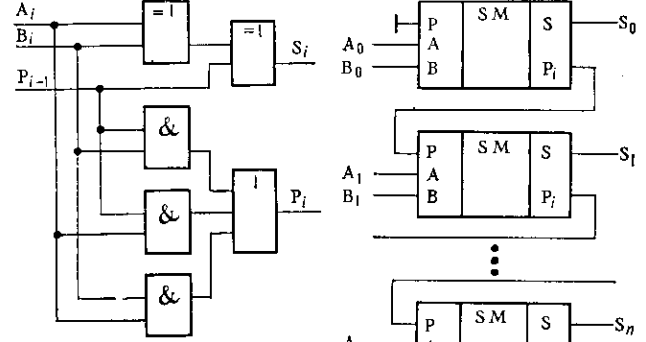


Рис. 10.

Рис. 11.

Последовательные схемы — Л. с. с запоминанием переменных — схемы, выходные сигналы к-рых зависят не только от значения входных сигналов в данный момент времени, но и от последовательности значений входных сигналов в предшествующие моменты времени. Последовательные схемы собираются из комбинационных путём введения в них обратных связей. Простейшим последовательным устройством является RS-триггер, наз. также базовым элементом последовательной логики. Базовые элементы лежат в основе всех остальных устройств последовательной логики: многофункциональных триггеров разл. типа, регистров, счётчиков, многих видов запоминающих устройств.

Работу последовательных схем обычно рассматривают в дискретном времени, состоящем из отд. интервалов — тактов. Длительность отд. тактов несущественна, при этом они могут быть как равными, так и различными. Изменение выходных сигналов последовательного устройства может происходить только в начале (или конце) нового такта. В обозначения входных и выходных сигналов помимо их номера может включаться и обозначение номера такта; так Y_i^n и Y_i^{n+1} означают выходной сигнал Y_i в n -м такте и в следующем, $(n+1)$ -м, такте. Последовательные схемы обычно описываются при помощи таблиц переключений или переключат. ф-ций, представляющих собой таблицы истинности и логич. ф-ции, составленные с учётом номера такта. При описании таких схем используют также и временные диаграммы.

Триггеры — последовательные элементы с двумя устойчивыми выходными состояниями (0 или 1). Под действием входных сигналов триггер способен переключаться в др. состояние с противоположным выходным сигналом. Осн. назначение — запоминание двоичной информации, заключающееся в сохранении триггером заданного состояния после прекращения действия переключающего сигнала. Простейший RS-триггер представляет собой устройство из двух ЛЭ D1 и D2 типа ИЛИ—НЕ (или И—НЕ), охваченных перекрёстной положительной обратной связью (рис. 12). Он имеет два свободных (управляющих) входа, обычно обозначаемых буквами R (от англ. reset — возврат) и S

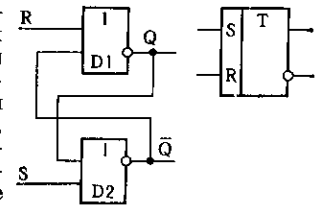


Рис. 12.